



2811

PATENT

Applicant: Toshikiyuki HIROTA
Appl. No.: 09/939,672 Group: 2811
Filed: August 28, 2001 Examiner: UNKNOWN
For: SEMICONDUCTOR DEVICE

#3 Reissuance
2/1/02
J. McKinney

LETTER

Assistant Commissioner for Patents
Washington, DC 20231

Date: January 15, 2002

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	256746/2000	August 23, 2000

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 25-0120 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

YOUNG & THOMPSON

By *[Signature]*
Robert J. Patch, #17,355

745 South 23rd Street, Suite 200
Arlington, Virginia 22202
(703) 521-2297

Attachment



本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 8月28日

出 願 番 号

Application Number:

特願2000-256746

出 願 人

Applicant (s):

日本電気株式会社

2001年 3月16日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造

出証番号 出証特2001-3021014

【書類名】 特許願

【整理番号】 74810330

【提出日】 平成12年 8月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/82
H04L 12/28
H01L 27/15
H01L 31/12

【発明者】

【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

【氏名】 廣田 俊幸

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100071272

【弁理士】

【氏名又は名称】 後藤 洋介

【選任した代理人】

【識別番号】 100077838

【弁理士】

【氏名又は名称】 池田 憲保

【手数料の表示】

【予納台帳番号】 012416

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特 2 0 0 0 - 2 5 6 7 4 6

【包括委任状番号】 9001569

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 通信機能を有するネットワークインタフェースをそれぞれに内蔵する複数の処理要素と、当該処理要素それぞれを接続する少なくとも一つのスイッチとを備えることを特徴とする半導体装置。

【請求項 2】 請求項 1 において、前記スイッチは複数の前記処理要素を周囲に配置してそのほぼ中央部分に配置されることを特徴とする半導体装置。

【請求項 3】 請求項 1 において、複数の前記処理要素および前記スイッチは一つの半導体チップに搭載されていることを特徴とする半導体装置。

【請求項 4】 請求項 1 において、複数の前記処理要素および前記スイッチは一つのパッケージに搭載されていることを特徴とする半導体装置。

【請求項 5】 請求項 1 において、前記処理要素と前記スイッチとの間は少なくとも一つの伝送線路によりピア・ツー・ピア接続されていることを特徴とする半導体装置。

【請求項 6】 請求項 1 において、構成要素としての前記処理要素は、同一階層化レベルの機能を有することを特徴とする半導体装置。

【請求項 7】 請求項 1 において、少なくとも一つの前記処理要素と前記スイッチとを光を閉じ込める空間内に配置し、それぞれに発光素子および受光素子を備えてこれら相互間に光通信を実現することを特徴とする半導体装置。

【請求項 8】 請求項 1 において、それぞれに複数の前記処理要素および前記スイッチを備える複数の半導体チップと前記スイッチを介して前記半導体チップを相互接続する少なくとも一つのインタースイッチとを備えることを特徴とする半導体装置。

【請求項 9】 請求項 8 において、複数の前記半導体チップと少なくとも一つの前記インタースイッチとは二次元実装されていることを特徴とする半導体装置。

【請求項 10】 請求項 8 において、一つの前記インタースイッチは複数

の前記半導体チップから選択された一つに形成され、当該半導体チップを含む複数の前記半導体スイッチは三次元実装されていることを特徴とする半導体装置。

【請求項 1 1】 請求項 8 において、前記スイッチおよび前記インタースイッチは回線交換装置であることを特徴とする半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、チップまたはパッケージを構成する処理要素となるブロックまたはモジュールを接続して、ある一つのシステムを形成する半導体装置に関し、特に、設計の柔軟性および設計単位規模の適正化を図ることができる半導体装置に関する。

【0 0 0 2】

【従来の技術】

従来、この種の半導体装置では、システム L S I（大規模集積回路）としてセットトップボックス、ゲーム機、デジタルカメラなどの民生機器に要求される小型化、省電力化、低コスト化というニーズを満たす商品が、重要製品として位置づけられている。

【0 0 0 3】

しかし、従来の汎用部品とは異なり、システム L S I に対するビジネスの特徴は異種の多方面にわたり市場窓口が非常に狭いことである。従って、市場投入のタイミングが重要である。このために、迅速な設計および製造処理時間（T A T : Turn Around Time)の短縮が求められている。

【0 0 0 4】

近年、半導体の微細化と高性能化が進み、マルチメディアへの対応が必要になってくるので、より多彩な機能の集積化が要求されるようになった。また、設計の複雑化に伴ない、I P（Intellectual Property：設計資産）と呼ばれる予め設計済みの大規模なマクロセルを統合する手法が採られるようになった。この結果、設計期間は大幅に短縮可能となったが、多様化された機能に対応する全ての I P を自社で揃えるには、例え大企業でも、限界が生じる。従って、これらの二

ーズに応えるため、IPプロバイダと呼ばれる、IPを設計して提供する企業が次々と誕生しつつある。

【0005】

これらのIPを自由に組み合わせてシステムLSIを構成するためには、今後、IPの汎用性を更に高め、インタフェースを共通にする必要がある。そのための試みとして現在、VSI (Virtual Socket Interface)と呼ばれる組織でIPを含めた設計環境の共通化が進められている。この共通化により複数の異なったLSI設計メーカからIPを購入しそれらを共通バスで接続することにより、LSI上にシステムを構築可能にしようとする試みである。

【0006】

例えば、図7に示されるシステムLSI700では、それぞれがIPにより設計済みのコアプロセッサ701、およびペリフェラルI/O（入出力）プロセッサ702、703が一つのチップ上に搭載されている。ペリフェラルI/Oプロセッサ702、703それぞれはI/Oポート712、713を介して外部と接続される。

【0007】

コアプロセッサ701は内部にCPU（中央処理装置）、DMA（ダイレクト・メモリ・アクセス）、およびMEM（メモリ）を有し、それぞれが共通バスであるローカルプロセッサバス721で接続されている。各ペリフェラルI/Oプロセッサ702、703それぞれはチップ内部に対して共通バスインタフェース722、723を有し、共通バスインタフェース722、723がチップ内部で共通バスとなるオンチップペリフェラルバス724に接続している。更に、システムLSI700の内部では、プロセッサ701のローカルプロセッサバス721がオンチップペリフェラルバス724にブリッジ720により結合されており、チップ内の共通バスを形成している。

【0008】

このような共通バスを用いて各処理モジュールであるプロセッサを接続する構成では、処理モジュール間の接続が重要であり、配置に伴う配線も多層化されるなど、複雑化は免れない。他方、構成要素の処理モジュールのうち一つに設計

変更が生じた場合には配線構造の変更を伴ないシステム L S I 全体の設計変更が発生し、そのコストは少なくない。

【 0 0 0 9 】

このような問題点を解決するため、各 L S I に通信機能を内蔵して独立性を実現すると共に、システムのネットワーク化を図ることが実行されている。例えば、実公平 7-4 6 9 9 2 号公報では、一つの通信インタフェースを内蔵してゲートウェイとしても機能する通信機能内蔵型 L S I が開示されている。

【 0 0 1 0 】

例えば、図 8 に示されるように、この通信機能内蔵型 L S I 8 1 0 は内部にマイクロコンピュータ 8 1 1 および通信インタフェース 8 1 2 を備え、複数の通信機能内蔵型 L S I (8 1 0) それぞれの通信インタフェース 8 1 2 が共通バスとなる一つのネットワーク用通信路 8 2 0 に接続してサブネットワークを形成している。サブネットワークは上位ネットワークに対して複数の通信機能内蔵型 L S I 8 1 0 から一つをゲートウェイとして選択し上位 L S I のマイクロコンピュータの外部データ端子および外部アドレス端子に接続している。

【 0 0 1 1 】

【発明が解決しようとする課題】

上述した従来の半導体装置では、システムを構成する処理要素の配置およびこれらを接続する配線に関する設計の複雑化が免れないという問題点がある。

【 0 0 1 2 】

その理由は、例えばマルチチップモジュール内で複数のチップを処理要素として配置し共通バスを用いて接続する上述した前者の場合、またはシステムのサブネットワーク内で複数の通信機能内蔵型 L S I (チップであるとする)を処理要素として配置して一つのネットワーク用通信路を用いて接続する後者の場合がある。これら何れの場合も、接続されるチップ間の距離はチップの位置とチップ間を結ぶ配線の位置とで決められるので高速化が進む近年でその設計は複雑化し、困難さを増している。

【 0 0 1 3 】

本発明の課題は、このような問題点を解決し、システムの構成要素の配置およ

び配線に伴う設計の柔軟性を向上し簡素化を図ることができる半導体装置を提供することである。この結果コストの低減も図ることができる。

【 0 0 1 4 】

【課題を解決するための手段】

本発明による半導体装置は、基本的に、通信機能を有するネットワークインタフェースをそれぞれに内蔵する複数の処理要素と、当該処理要素それぞれを接続する少なくとも一つのスイッチャとを備えている。このような構成により、各処理要素間の接続が簡明化し、配線長を低減することもできる。

【 0 0 1 5 】

更に、前記スイッチャは複数の前記処理要素を周囲に配置してそのほぼ中央部分に配置されることが望ましい。このように、スイッチャの周囲に複数の処理要素を配置する構成により、全ての処理要素の間でスイッチャを介した最短距離の接続が実現できる。

【 0 0 1 6 】

複数の前記処理要素および前記スイッチャは一つの半導体チップに搭載されても、または一つのパッケージに搭載されてもよい。更に、前記処理要素と前記スイッチャとの間を少なくとも一つの伝送線路がピア・ツー・ピア (peer-to-peer) 接続することができる。また、構成要素としての前記処理要素は異なる階層化レベルの機能を有していてもよいが、構成要素としての前記処理要素が同一階層化レベルの機能を有する場合、スイッチャを含む通信処理の簡素化が実現できるので好ましい。

【 0 0 1 7 】

また、少なくとも一つの前記処理要素と前記スイッチャとを光を閉じ込める空間内に配置し、それぞれに発光素子および受光素子を備えてこれら相互間に光通信を実現することは、集積度の向上と、クロックスキューの低減とを実現できるので好ましい。

【 0 0 1 8 】

また、それぞれに複数の前記処理要素および前記スイッチャを備える複数の半導体チップと前記スイッチャを介して前記半導体チップを相互接続する少なくとも

も一つのインタースイッチャとを備えることは、多数の半導体チップにより複数パッケージ構成とする場合に好ましい。

【0019】

また、複数の前記半導体チップと少なくとも一つの前記インタースイッチャとは二次元実装することができ、更に、一つの前記インタースイッチャは一つの前記半導体チップに搭載され、当該半導体チップを含む複数の前記半導体スイッチは三次元実装することができる。これらインタースイッチャは回線交換装置であってもよい。

【0020】

【発明の実施の形態】

まず、本発明による半導体装置は、システムLSI（大規模集積回路）として形成されるものが対象である。システムLSIの設計には、まず、要求される仕様に従って、抽象度の高いアルゴリズムから階層設計が開始される。このアルゴリズムの階層設計の段階で、最下位機能の論理レベルから上位機能の機能レベルまで、必要な機能レベルが定義される。機能レベルには、例えば、音声符号化、フィルタリングなど、論理的な機能単位とした抽象的に定義されたものがある。

【0021】

半導体切片（ダイ：die）であるチップは、ブロックレベル、サブブロックレベル、およびセルレベルにより物理的な階層化レベルが形成される。回路部品としてのモジュールはいわゆるLSIと称されており、一つのチップを搭載するシングルチップモジュールおよび複数のチップを搭載するマルチチップモジュールがある。少なくとも一つのモジュールが一つのパッケージに搭載されてLSIが形成され、更に複数のパッケージによりより大きな規模のシステムLSIが形成される。機能ブロックレベルはサブ機能ブロックに分割されることもある一方、複数の機能ブロックにより上位の機能ブロックを形成することもある。このように、まずシステムは機能レベルにより階層化される。階層化された機能レベル毎に処理要素が設計される。

【0022】

次に、例えば、処理要素として必要な機能ブロックを実現するために、アーキ

テクチャとして処理モジュールのマッピングを行なう。ここでいう処理モジュールは、少なくとも一つの機能ブロックを実現するための物理的な実体であるものとする。従って、処理モジュールに対して回路設計、プログラミング、などのインプラメンテーションが実行される。処理モジュールには、例えば、コアプロセッサ、ペリフェラル I/O（入出力）プロセッサなどがある。処理モジュールも、CPU（中央処理装置）、メモリ、ハード・ワイヤード・ロジックなどの集合体であり、上述したように機能ブロックと同様に階層化される。

【 0 0 2 3 】

ある階層の機能ブロックとある階層の処理モジュールとが一对一に対応しているということは、システムの見通しをよくするので、モジュールとしての独立性・汎用性を高めるために望ましい。しかし、必ずしもこれらに対応させる必要はない。

【 0 0 2 4 】

他方、処理モジュールの独立性および汎用性を失わないようにするため、ある複数の論理的な機能ブロックに跨るような処理モジュールへのマッピングは行わないようにしている。

【 0 0 2 5 】

次に、本発明の実施の形態について図面を参照して説明する。

【 0 0 2 6 】

図 1 は本発明の実施の一形態を示す平面図である。図 1 には半導体装置として、システム L S I 1 0 0 が図示されている。システム L S I 1 0 0 は、図 7 に対応する各プロセッサとして、また処理要素として処理モジュールであるコアプロセッサ 1 0 1 およびペリフェラル I/O プロセッサ 1 0 2, 1 0 3, 1 0 4 それぞれがこれも処理モジュールの一つであるスイッチャ 1 1 0 を中心としてその周囲に配置されている。

【 0 0 2 7 】

コアプロセッサ 1 0 1 およびペリフェラル I/O プロセッサ 1 0 2, 1 0 3, 1 0 4 それぞれには、スイッチャ 1 1 0 と直接接続され配線されるネットワークインタフェース 1 1 1, 1 1 2, 1 1 3, 1 1 4 がサブモジュールとして通信用

に内蔵されている。また、ペリフェラル I/O プロセッサ 102, 103, 104 それぞれには、外部との接続用に I/O (入出力用) ポート 105, 106, 107 が設けられている。

【0028】

スイッチャ 110 は、各プロセッサ 101, 102, 103, 104 それぞれのネットワークインタフェース 111, 112, 113, 114 と直接接続し、通信機能により相互接続する。ここで使用される通信システムは一つの統一されたデジタル方式であれば何れの方式でもよい。

【0029】

このような構成では、処理モジュールである各プロセッサ間の接続路は、システム LSI を形成する、例えば、パッケージの中心部のスイッチャを中継した二つのリンクのみである。また、各リンクを形成するネットワークは電源線を除き、通信用の信号およびデータを伝送するピア・ツー・ピア (peer-to-peer) 接続される通信路すなわち伝送線路であり、その芯線の数は一つか二つで済む。

【0030】

上記説明では、システム LSI が複数の処理モジュールで形成されるパッケージであるとしたが、複数のチップを搭載し中央部分の一つのチップをスイッチャとするモジュール LSI であっても、複数のブロックを搭載するチップ LSI に適用してスイッチャを備える構成としてもよい。スイッチャは一つの IP を有し、かつ処理モジュールそれぞれがその固有の機能の IP およびスイッチャとインタフェースするサブ処理モジュールの IP を有することとなり、処理モジュールそれぞれの独立性および汎用性の向上が確保できる。

【0031】

また、図 1 に示されるように、システム LSI 100 には、ルータ 115 が更に備えられており、一方では内部でスイッチャ 110 と接続し、他方では外部のシステム LSI のルータと外部通信ポート 120 により接続している。

【0032】

次に、図 2 を参照して積層された LSI について説明する。

【0033】

図 2 は、複数のパッケージ 2 0 1, 2 0 2 をパッケージ面に垂直方向に積層しそれぞれの層間を一つの通信路 2 0 3 で配線結合して形成した一つのシステム L S I 2 0 0 を示した概念図である。

【 0 0 3 4 】

パッケージ 2 0 1 は、L S I として図 1 に示されると同様な構成および配置を有するものとする。図 2 に示されるレイアウトは接続を単純化した説明用である。すなわち、パッケージ 2 0 1 は、複数の処理モジュール 2 1 1, 2 1 2、スイッチャ 2 1 3、およびルータ 2 1 4 により構成されている。複数の処理モジュール 2 1 1, 2 1 2 それぞれはネットワークインタフェース 2 1 5, 2 1 6 を内蔵し、ネットワークインタフェース 2 1 5, 2 1 6 それぞれはスイッチャ 2 1 3 を介して相互接続される。スイッチャ 2 1 3 は、接続先アドレスを他のパッケージのものと判別した際には、更にルータ 2 1 4 を介して外部通信ポート 2 2 0 に接続し、接続先パッケージのルータを介してパッケージ内部の宛先ヘデータを転送できる。

【 0 0 3 5 】

この構成によるシステム L S I も、それぞれの機能を発揮するサブ機能ブロックとなるパッケージ内部では中央部分にスイッチャが配置されるので図 1 と同様な効果を発揮できると共に、パッケージ間では配線長の相違を生じるが少ない配線で結合することができる。

【 0 0 3 6 】

次に、図 3 を参照して図 2 とは別の積層型の L S I について説明する。

【 0 0 3 7 】

図 3 のシステム L S I 3 0 0 では、図 2 に示されるパッケージ 2 0 1, 2 0 2 にパッケージ 3 0 1 が積層されている。

【 0 0 3 8 】

図 3 で図 2 と相違する点は、パッケージ 3 0 1 と複数のパッケージ 2 0 1, 2 0 2 それぞれとの間をパッケージ外通信ポート 3 2 0 で接続していることである。従って、パッケージ 3 0 1 は、複数の処理モジュール 3 1 1, 3 1 2 を内部接続するイントラスイッチャ 3 1 3 およびパッケージ間を相互接続するインタース

イッチャ 3 1 4 を備えている。

【 0 0 3 9 】

パッケージ 3 0 1 では、上述したパッケージと同様に中央部にイントラスイッチャ 3 1 3 を配置して配線長の短縮を図ると共に、ルータ 2 1 4 に代わるインタースイッチャ 3 1 4 が他のパッケージ 2 0 1, 2 0 2 それぞれのルータ 2 1 4 とパッケージ外通信ポート 3 2 0 で接続している。

【 0 0 4 0 】

イントラスイッチャは上述したスイッチャと同様の機能でよいが、インタースイッチャはこのパッケージのゲートウェイであると共に回線交換装置の機能を要求される。

【 0 0 4 1 】

図 2 および図 3 で示される三次元実装では、電源線を除けば基本的に 1 本の伝送線路でパッケージ間を結合可能であり、配線に対する制約を低減することができる。

【 0 0 4 2 】

図 4 は、シリコンウェーハ 4 0 0 から得られる一つのダイ（切片） 4 1 0 を一つのパッケージ 4 2 0 に形成したシングルチップモジュールにより構成されるシステム L S I を示したものである。ダイ 4 1 0 は周辺に配置される複数の処理モジュール 4 1 1 それぞれと接続して中央部分に配置されるスイッチャ 4 1 2 を有して、図 1 と同様の機能を発揮することができる。

【 0 0 4 3 】

図 5 は、複数のシリコンウェーハ 5 0 1, 5 0 2 それぞれから処理モジュールとして得られる一つずつのダイ（切片） 5 1 1, 5 1 2 を一つのパッケージ 5 2 0 に形成したマルチチップモジュールにより構成されるシステム L S I を示したものである。パッケージ 5 2 0 は周辺に配置される複数のダイ（処理モジュールとなる） 5 1 1 それぞれと接続して中央部分に配置されるダイ（スイッチャとなる） 5 1 2 を有して、図 1 と同様の機能を発揮することができる。

【 0 0 4 4 】

図 6 は、パッケージ内の接続を配線でなく、光通信による実施例を示したもの

である。

【 0 0 4 5 】

図 6 に示されるパッケージ 6 0 0 はパッケージ基板 6 0 1 の一表面に複数の半導体チップ 6 1 0 を形成するマルチチップモジュールを基体とし、その周囲を封止樹脂 6 0 2 で封止し、更のその外周部に封止樹脂 6 0 3 を形成し、信号光を封止樹脂 6 0 2 の内部に封じ込めている。図 6 では明示されていないが、複数の半導体チップ 6 1 0 は中央部分の一つを図 1 に示すようにスイッチャとして構成し、半導体チップ 6 1 0 それぞれには光の送受信機能を有する発光素子 6 1 1 および受光素子 6 1 2 が設けられる。

【 0 0 4 6 】

上記実施例では図面を参照して具体的に説明されたが、例えば、スイッチャが配備される処理要素はウェーハの切片であるダイまたはチップでも、モジュールでもよい。また、積層されたパッケージ間の接続にルータまたはインタースイッチを用いるとしたが、モジュールの積層でもよい。このように、上述した機能を満たす構成であれば階層化レベルが相違しても適用可能である。

【 0 0 4 7 】

【 発明の効果 】

以上説明したように本発明によれば、階層化レベルを伴う処理要素を周辺に配置し、中央部分に配置されるスイッチャを介して相互接続しているので、次のような効果を得ることができる。

【 0 0 4 8 】

第 1 に、処理要素間の配線がスイッチャを介しているので、ほぼ最短距離となり、処理要素のレイアウトに配線遅延の配慮を不要にできる。

【 0 0 4 9 】

第 2 に、処理要素間のデータの授受が信号およびデータの通信処理によるので、伝送線路の数が 1 ～ 2 本と、少なく済み、配線の簡素化を実現できる。

【 0 0 5 0 】

第 3 に、通信処理を含む処理要素間のインタフェースが明確なプロトコルに従うこととなるので、処理要素の独立性および可換性が向上し、処理要素単位での

再利用および新システム構成への組合わせ利用が容易となる。

【 0 0 5 1 】

第4に、上記第3の効果により、良品のみを各種組み合わせることにより多種の製品が完成できるので、製造の分業化が進み、製品歩留まりの向上を図ることができると共に、製造コストの削減を実現することができる。

【 0 0 5 2 】

第5に、各処理要素がスイッチにより切り離され、独立させることができるので、システム L S I に組み込まれた処理要素の単体テストが容易となる。

【 0 0 5 3 】

上記第1および第2の効果である配線の短距離化および簡素化により伝送線路による信号の高速伝送が可能となり、特に長距離間の配線密度を減少させることができるのでクロストークおよび配線遅延などの問題を回避することができる。

【 0 0 5 4 】

以上を総合して、システム L S I のような複雑な回路構成を有する半導体装置のレイアウト、配線などにおける設計の柔軟性の向上、並びに検査を含む製造作業の簡素化の実現を図ることができる。

【図面の簡単な説明】

【図1】

本発明の実施の一形態を示す平面図である。

【図2】

図1に示されると同等の複数のパッケージを積層し結合した一形態を示す概念図である。

【図3】

図2とは別の、パッケージを積層し結合した一形態を示す概念図である。

【図4】

シングルチップモジュールにより形成された本発明の実施の一形態を示す平面図である。

【図5】

マルチチップモジュールにより形成された本発明の実施の一形態を示す平面図で

ある。

【図 6】

光通信を利用した本発明の実施の一形態を示す断面説明図である。

【図 7】

従来の一例を示す平面図である。

【図 8】

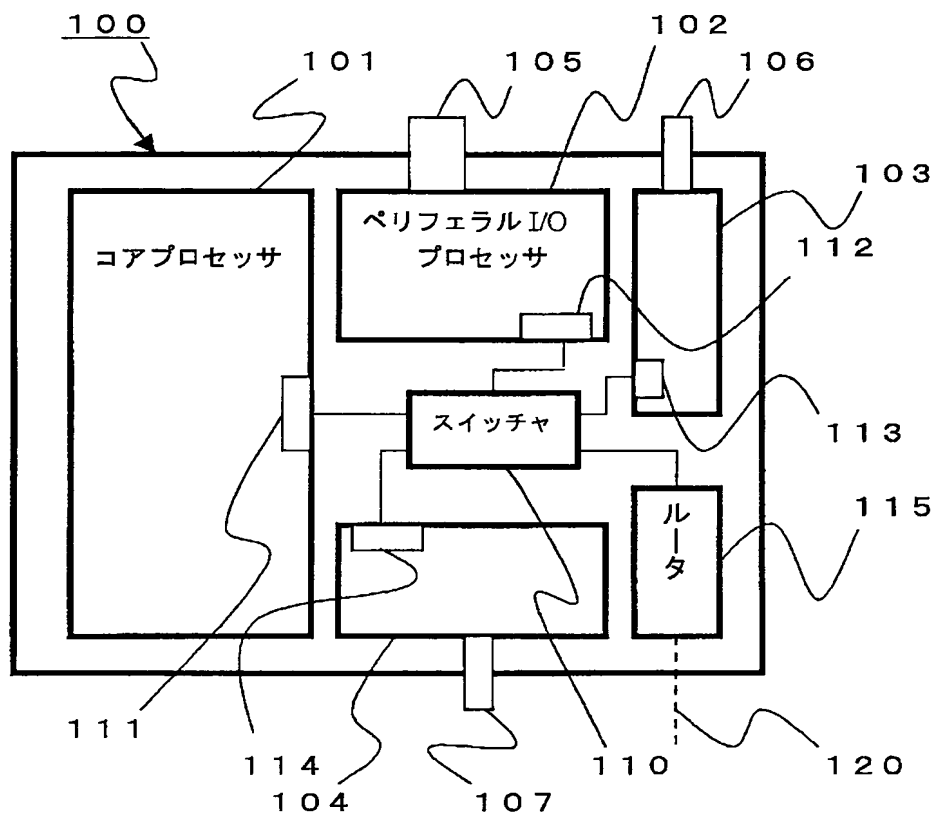
図 7 とは異なる従来の一例を示す平面図である。

【符号の説明】

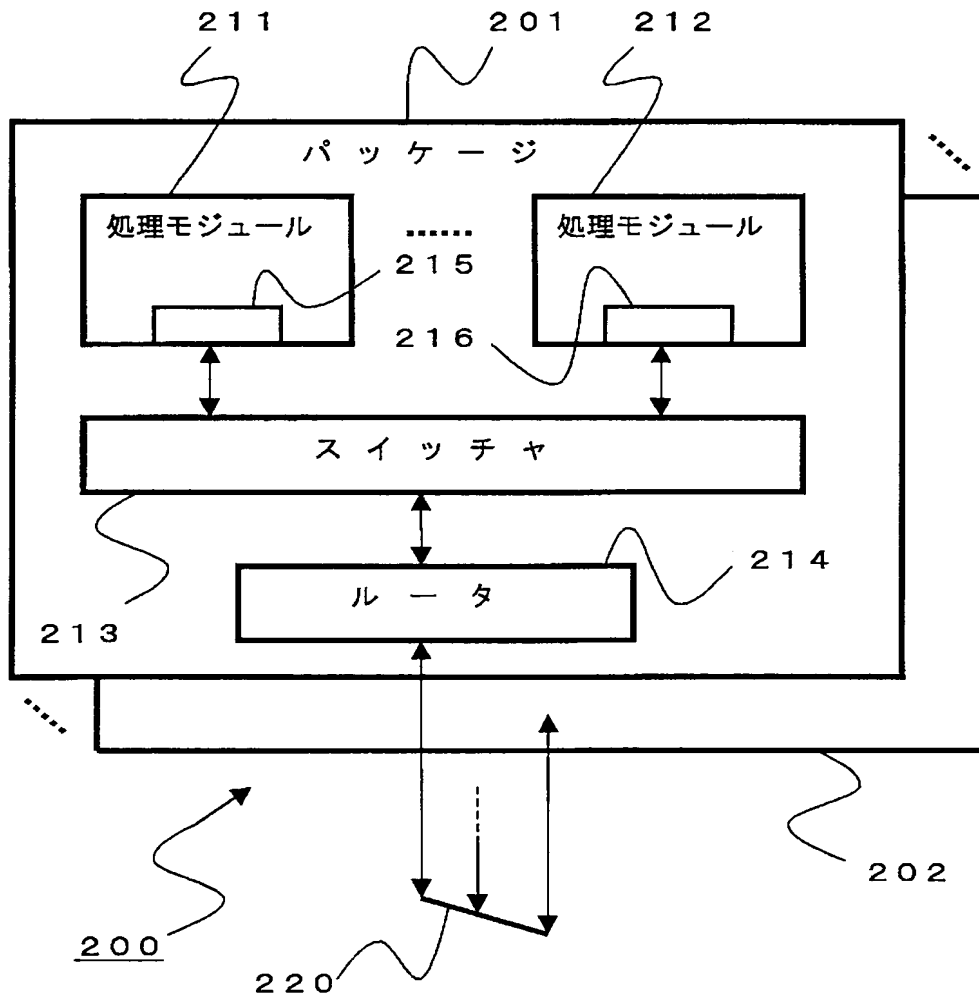
1 0 0、2 0 0、3 0 0 システム L S I
 1 0 1、1 0 2、1 0 3、1 0 4 プロセッサ
 1 0 5、1 0 6、1 0 7 I/Oポート
 1 1 0、2 1 3、4 1 2 スイッチャ
 1 1 1、1 1 2、1 1 3、1 1 4、2 1 5、2 1 6、3 1 5、3 1 6 ネットワークインタフェース
 1 1 5、2 1 4 ルータ
 1 2 0、2 2 0 外部通信ポート
 2 0 1、2 0 2、3 0 1、4 2 0、5 2 0、6 0 0 パッケージ
 2 1 1、2 1 2、3 1 1、3 1 2、4 1 1 処理モジュール
 3 1 3 イントラスイッチャ
 3 1 4 インタースwitchャ
 4 0 0、5 0 1、5 0 2 シリコンウェーハ
 4 1 0、5 1 1、5 1 2 ダイ
 6 0 1 パッケージ基板
 6 0 2、6 0 3 封止樹脂
 6 1 0 半導体チップ
 6 1 1 発光素子
 6 1 2 受光素子

【書類名】 図面

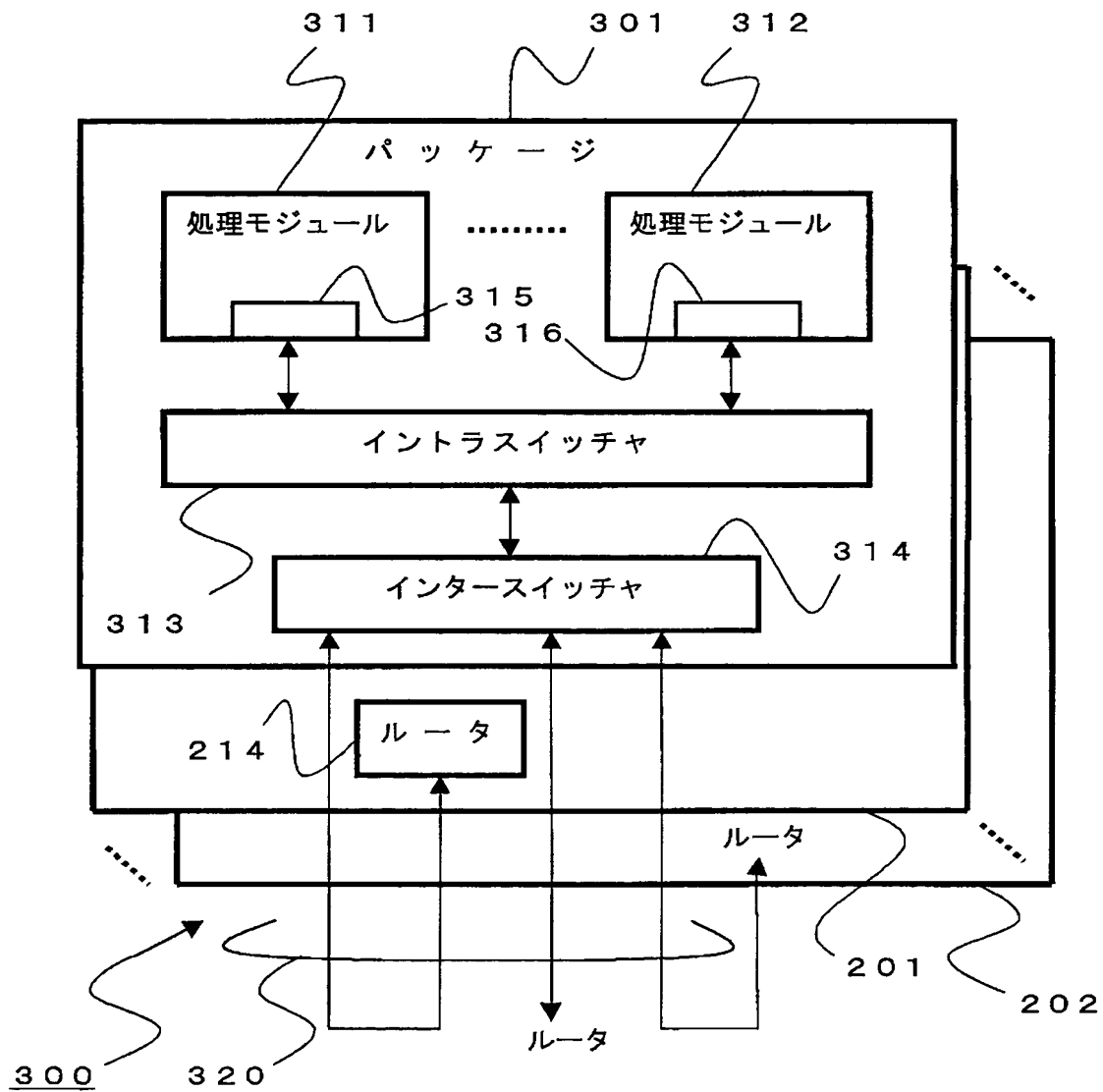
【図1】



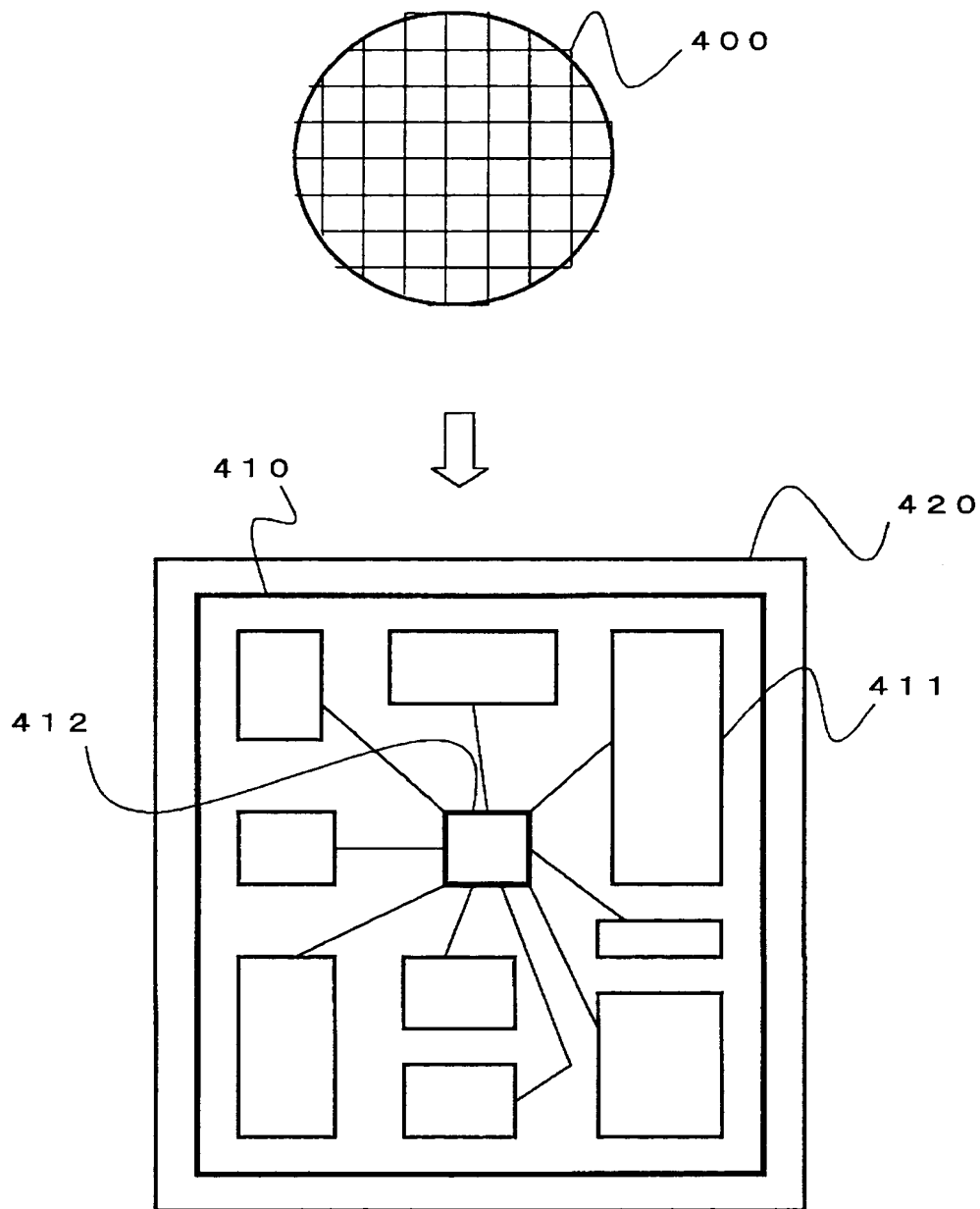
【図 2】



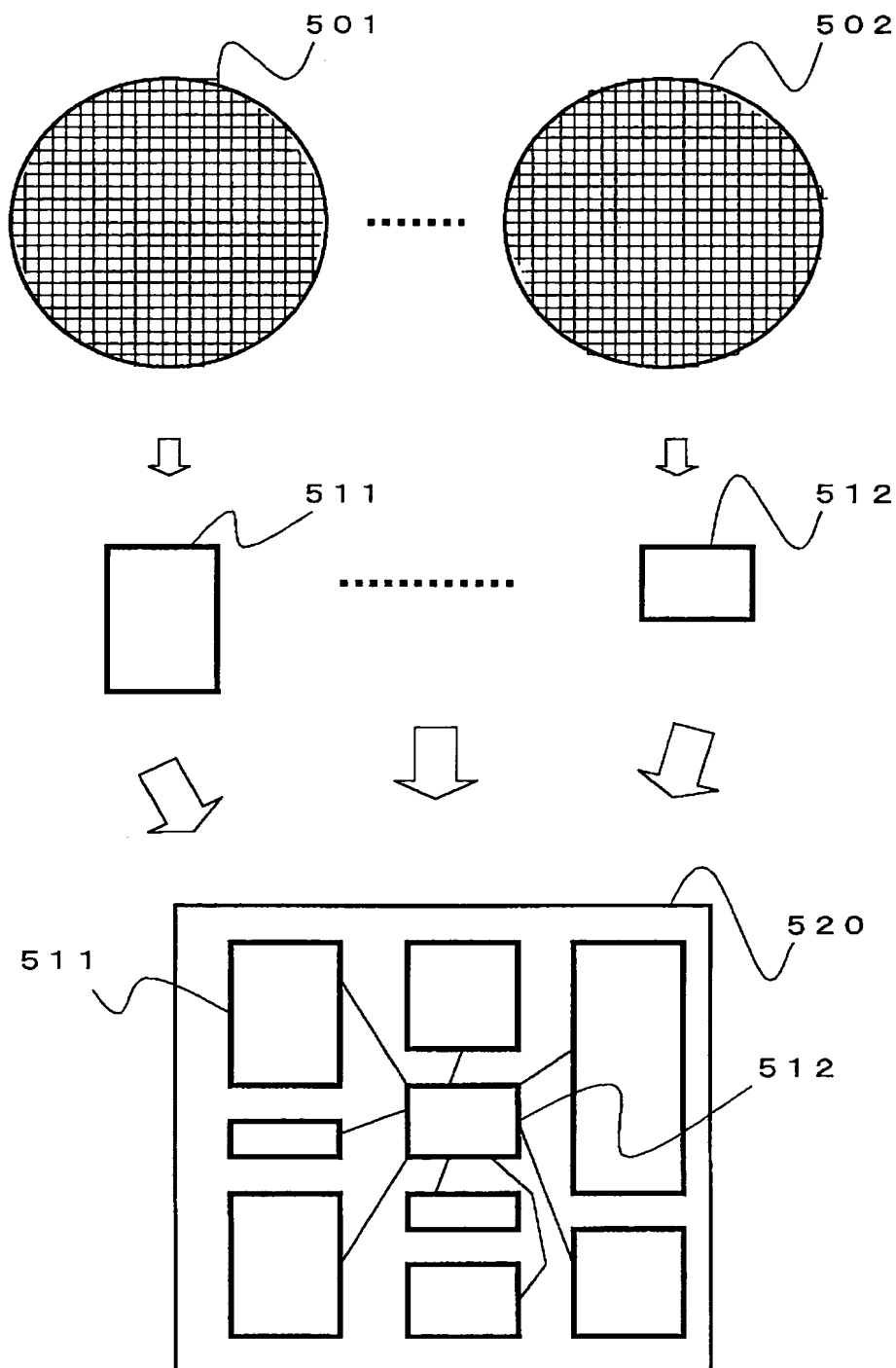
【図3】



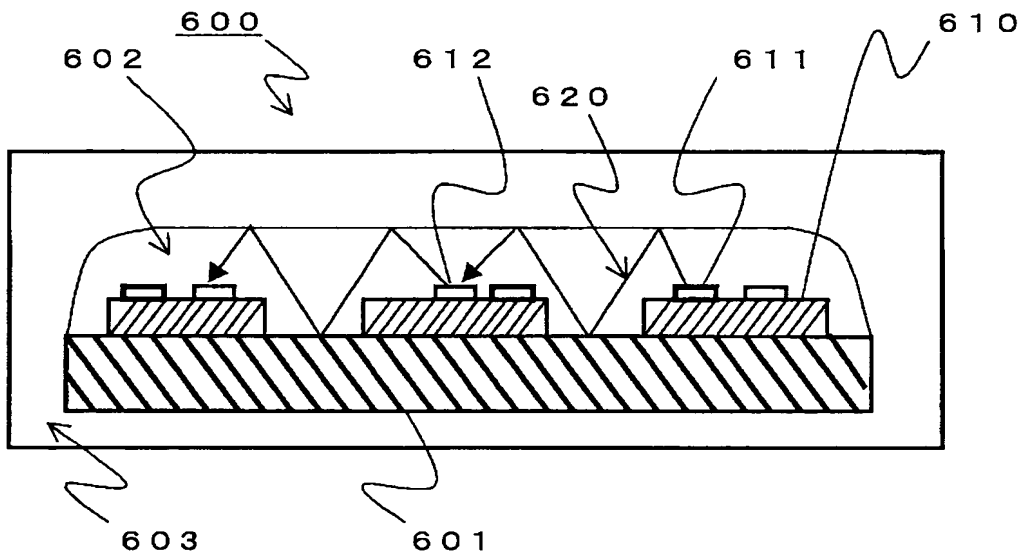
【図 4】



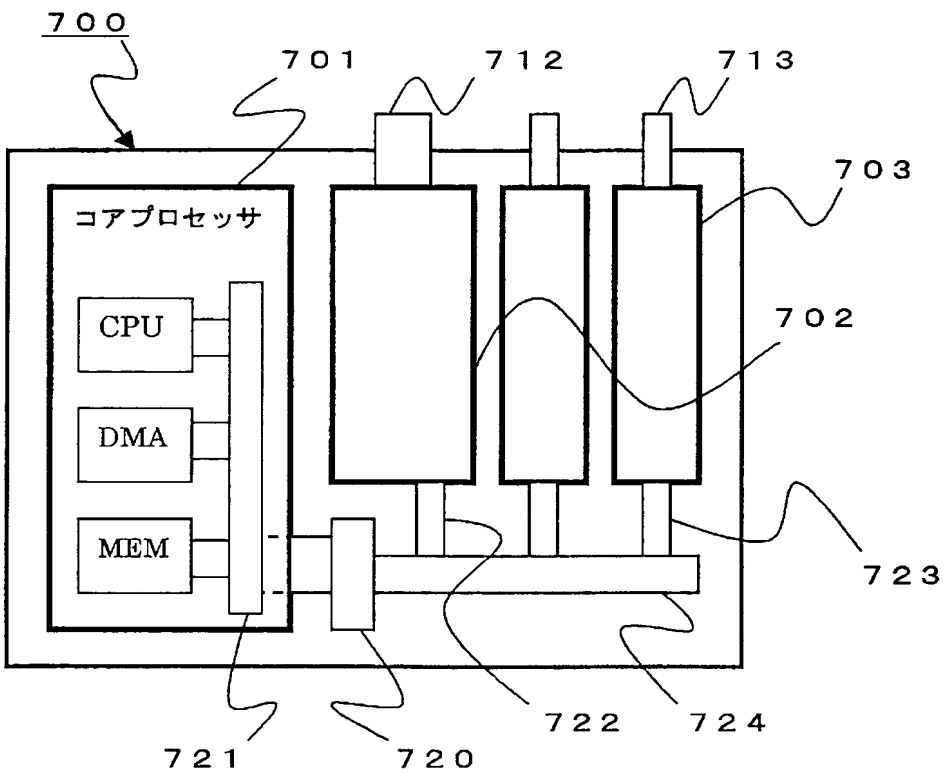
【図 5】



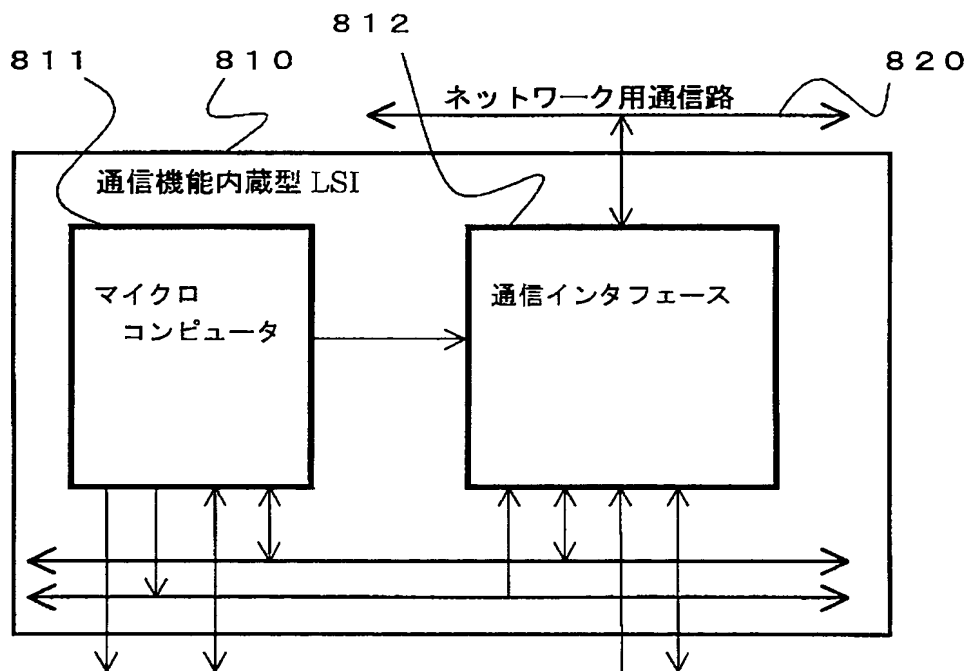
【図6】



【図7】



【図 8】



【書類名】 要約書

【要約】

【課題】 システムの構成要素の配置および配線に伴う設計の柔軟性を向上し簡素化を図ることができる。

【解決手段】 システム L S I 1 0 0 となる、チップ、モジュール、またはパッケージにおいて、処理要素である各種のプロセッサ 1 0 1 - 1 0 4 を周辺に配置し、処理要素のうちのスイッチャ 1 1 0 をその中央部分に配置し、各プロセッサ 1 0 1 - 1 0 4 は、内蔵する予め定められた通信機能を有するネットワークインタフェース 1 1 1 - 1 1 4 をスイッチャ 1 1 0 に直接配線して、相互間の接続を実現している。このようなパッケージが積層された場合、スイッチャ 1 1 0 から他のパッケージにルータ 1 1 5 を介して外部通信ポート 1 2 0 により接続している。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社